

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-230045

(43)Date of publication of application : 19.08.1992

(51)Int.Cl.

H01L 21/66

G01R 31/26

(21)Application number : 02-418770

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.12.1990

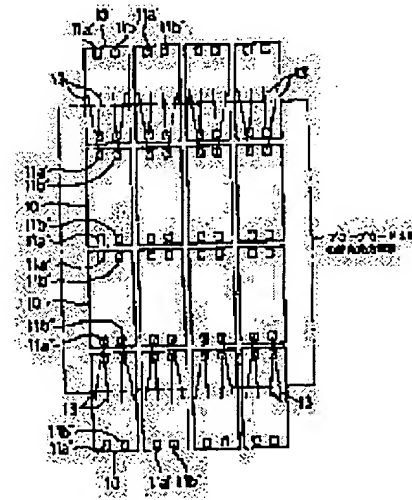
(72)Inventor : TANAKA HIROAKI
KOYANAGI MASARU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make it possible to bring the needles of a probe card into contact simultaneously with many regions of a chip as much as possible by a method wherein terminals for voltage stress test use other than power terminals for operating power supply feed use are dispersedly arranged on one side part of the chip region of an integrated circuit and other region parts of the chip region.

CONSTITUTION: There are a plurality of pieces of pads having the same function on a chip region 10 as pads for voltage stress test use other than power pads for operating power supply feed use and are dispersedly arranged on one side part of the region 10 and other region parts (such as other side parts). As one example, there are two groups of pads for voltage stress test use, two pieces of the pads (11a' and 11a'') and (11b' and 11b'') of each group are respectively dispersed on the parallel two sides of the region 10, are arranged in almost one column and a group of the pads (11a' and 11b') arranged on the side on one side of the two sides and a group of the pads (11a'' and 11b'') arranged on the other side are arranged in the same order and are arranged in such a way that the fellow pads to correspond to each other face each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-230045

(43) 公開日 平成4年(1992)8月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66	E	7013-4M		
G 0 1 R 31/26	G	8411-2G		
H 0 1 L 21/66	B	7013-4M		

審査請求 未請求 請求項の数7(全 6 頁)

(21) 出願番号 特願平2-418770

(22) 出願日 平成2年(1990)12月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 田中 宏明

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 小柳 勝

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

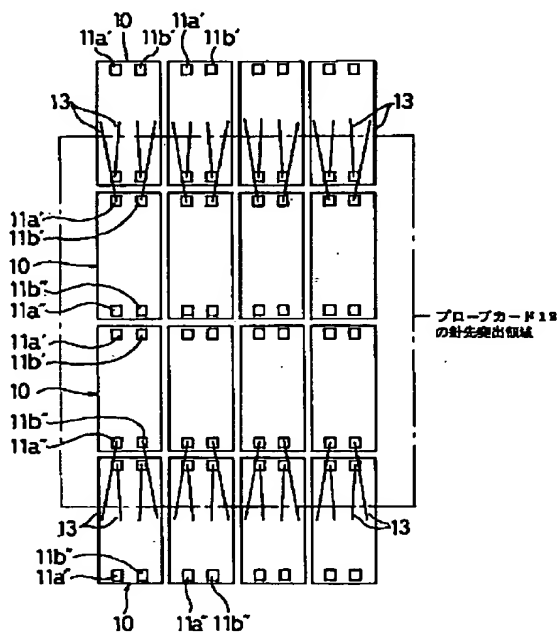
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 ウェーハ状態でプローブカードとプローバとを用いてバーンインする際に、プローブカードの針をウェーハ上の可能な限り多くのチップ領域に対して同時に電圧ストレス試験用のパッドに接触させることが可能となり、バーンインの効率を向上させると共に生産能力を向上させ、バーンインの時間を短縮して製造コストを低減し得る半導体装置を提供する。

【構成】 複数の集積回路チップ領域を有するウェーハ状態の半導体装置において、集積回路チップ領域には動作電源供給用の電源端子以外の電圧ストレス試験用の端子として、同じ機能の端子が複数個設けられ、この複数の端子は集積回路チップ領域の一辺部と他の領域部とに分散して配置されていることを特徴とする。



【特許請求の範囲】

【請求項1】 複数の集積回路チップ領域を有するウェハ状態の半導体装置あるいはこのウェハ状態の半導体装置から個々のチップに分離されてパッケージに収納されて集積回路装置として仕上げられた半導体装置において、集積回路チップ領域には動作電源供給用の電源端子以外の電圧ストレス試験用の端子として、同じ機能の端子が複数個設けられ、この複数の端子は集積回路チップ領域の一辺部と他の領域部とに分散して配置されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記電圧ストレス試験用の端子は複数組設けられており、この各組の端子のうちの各1個の端子群は集積回路チップ領域の一辺部に配置され、残りの端子群は集積回路チップ領域の他辺部に配置されていることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記各組の端子はそれぞれ2個ずつ設けられており、この2個の端子は集積回路チップ領域の平行な二辺に分けられて配置されていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記平行な二辺に分けられて配置された端子群はそれぞれほぼ一列に配置されていることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、一方の辺に配列された端子群と他方の辺に配列された端子群とは、互いに対応する端子同士が配列方向にずれていることを特徴とする半導体装置。

【請求項6】 請求項4記載の半導体装置において、一方の辺に配列された端子群と他方の辺に配列された端子群とは、互いに対応する端子同士の配列順序が異なることを特徴とする半導体装置。

【請求項7】 複数の集積回路チップ領域を有するウェハ状態の半導体装置において、各集積回路チップ領域には電圧ストレス試験用の端子群が集積回路チップ領域の一辺部に集中して配置され、ウェハ上の集積回路チップ領域配列における隣り合う2行または2列を1組とする集積回路チップ領域の互いに近接する各一辺部に前記端子群が集中して配置されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の集積回路チップ領域を有するウェハ状態の半導体装置あるいはこのウェハ状態の半導体装置から個々のチップに分離されてパッケージに収納されて集積回路装置として仕上げられた半導体装置に係り、特にウェハ状態でプローブカードとプローバとを用いてバーンインするのに適した電圧ストレス試験用の端子を有する半導体装置に関する。

【0002】

【従来の技術】 半導体装置の製造工程では、通常は、ウェハ製造プロセスを終了してからダイソートテストによって良品を選別し、不良品をマークし、その後、良品をパッケージに収納して最終製品の形態に仕上げている。そして、最終製品の形態に仕上げられたパッケージ完了後の半導体装置を対象としてバーンインを行っている。これに対して、本願出願人の出願により、ウェハ状態でダイソートの前にプローブカードとプローバとを用いてバーンインする方法を採用する場合に適した半導体装置を提案した。このようなウェハ状態でのバーンインに際して、効率を考えると、プローブカードの針をウェハ上の全ての集積回路チップ領域上のバーンイン時に使用されるパッドに同時に接触させて電圧ストレスを印加することが理想的である。しかし、このようなことは現状のプローブカードの技術では不可能であり、現実的には、ウェハ上の可能な限り多くの複数のチップ領域上の電圧ストレス試験用のパッドに同時に接触させることが望ましい。この場合、現状のプローブカードを使用するものとすれば、例えば図4に示すように、ウェハ上の隣り合う2列のチップ領域群のうちの各4個のチップ領域40上の電圧ストレス試験用のパッド41に対して、プローブカードの向い合う二辺から突設された針43を同時に接触させ、同時に8個のチップ領域40に電圧ストレスを印加することが可能になる。しかし、同時に8個のチップ領域に電圧ストレスを印加する程度では、バーンインの効率が必ずしも十分には得られない。

【0003】

【発明が解決しようとする課題】 上記したように現在提案されている半導体装置では、さらに多くのチップ領域に対して同時にプローブカードの針を接触させるための工夫の余地がある。

【0004】 本発明は上記の問題点を解決すべくなされたもので、ウェハ状態でプローブカードとプローバとを用いてバーンインする際に、プローブカードの針を可能な限り多くのチップ領域に対して同時に接触させることが可能となり、バーンインの効率を向上させると共に生産能力を向上させ、バーンインの時間を短縮して製造コストを低減し得る半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、複数の集積回路チップ領域を有するウェハ状態の半導体装置あるいはこのウェハ状態の半導体装置から個々のチップに分離されてパッケージに収納されて集積回路装置として仕上げられた半導体装置において、集積回路チップ領域には動作電源供給用の電源端子以外の電圧ストレス試験用の端子として、同じ機能の端子が複数個設けられ、この複数の端子は集積回路チップ領域の一辺部と他の領域部とに分散して配置されていることを特徴とする。

【0006】 上記電圧ストレス試験用の端子は、例えば

3

複数組設けられ、この各組の端子がそれぞれ例えば2個ずつ設けられると共にこの2個の端子は集積回路チップ領域の平行な二辺に分けられてそれぞれほぼ一列に配置される。

【0007】

【作用】ウェハ状態の半導体装置において隣り合う2列のチップ領域群の互いに近接する各一辺にそれぞれの電圧ストレス試験に必要なパッド群を集中して配置することが可能になる。これにより、ウェハ状態でのバーンイン時に、上記2列のチップ領域群の各一辺に集中している電圧ストレス試験用のパッド群に対して、プローブカードの向い合う二辺から突設された針のうちの二辺側から突設された針を同時に接触させ、同様に、プローブカードの他の一辺側から突設された針を、上記2列に隣り合う別の2列のチップ領域群の各一辺に集中している電圧ストレス試験用のパッド群に対して同時に接触させることが容易になる。これにより、ウェハ上の隣り合う4列のチップ領域群の電圧ストレス試験用のパッド群にプローブカードの針を同時に接触させて各チップ領域に電圧ストレスを印加することが可能になる。

【0008】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0009】図1は、半導体ウェハ上に複数の集積回路チップ領域、例えばダイナミック型ランダムアクセスメモリ領域を有するように製造された第1実施例に係る半導体装置におけるチップ領域10…の配列の一部と、この各チップ領域上における電圧ストレス試験用のパッド（例えばボンディングパッド）11a'、11a"、11b'、11b"の配置の一例と、ウェハ状態でのバーンイン時に上記各チップ領域上における電圧ストレス試験用のパッドの一部にプローブカード12…の針13…が同時に接触している様子を示している。なお、図1では、電圧ストレス試験用のパッド以外のダイソートおよびアセンブリに使用されるボンディングパッドは表示を省略している。

【0010】即ち、チップ領域10には、動作電源供給用の電源パッド以外の電圧ストレス試験用のパッドとして、同じ機能のパッドが複数個（本例では2個ずつ）設けられており、この複数個のパッドはチップ領域の一辺部と他の領域部（例えば他辺部）とに分散して配置されている。一例として、電圧ストレス試験用のパッドは複数組（本例では2組）設けられており、各組の各2個のパッド（11a'、11a"）、（11b'、11b"）はチップ領域10の平行な二辺に分けられてそれぞれほぼ一列に配置され、一方の辺に配列されたパッド群（11a'、11b'）と他方の辺に配列されたパッド群（11a"、11b"）とは、同じ順序で配列されると共に互いに対応するパッド同士が向き合うように配列されている。なお、上記各組における同じ機能の2個

4

のパッド相互は、配線（図示せず）により接続されている。

【0011】図1の半導体装置においては、隣り合う2列のチップ領域群の互いに近接する各一辺にそれぞれの電圧ストレス試験に必要なパッド群が集中している。これにより、ウェハ状態でのバーンイン時に、プローブカードの向い合う二辺から突設された針のうちの二辺側から同方向に突設された針を、上記2列のチップ領域群のうちの各列当り例えば4個のチップ領域における各一辺に集中している電圧ストレス試験用のパッド群に対して同時に接触させることが容易になる。同様に、プローブカードの他の一辺側から同方向に突設された針を、上記2列に隣り合う別の2列のチップ領域群のうちの各列当り例えば4個のチップ領域における各一辺に集中している電圧ストレス試験用のパッド群に対して同時に接触させることが容易になる。

【0012】これにより、ウェハ上の隣り合う4列のチップ領域群のうちの各列当り4個のチップ領域（16個のチップ領域）の電圧ストレス試験用のパッド群にプローブカードの針を同時に接触させて各チップ領域に電圧ストレスを印加することが可能になる。従って、図4に示した方法と比較すると、プローブカードの針を同時に接触し得るチップ数が2倍であり、バーンイン時間が1/2に短縮される。

【0013】また、隣り合うチップの隣り合う各一辺に集中している電圧ストレス試験用のパッド群にプローブカードの針を接触するので、隣り合うチップに接触する針の長さのずれを短くすることができ、プローブカードの設計も容易になる。

【0014】即ち、図1の半導体装置によれば、ウェハ状態でプローブカードとプローバとを用いてバーンインする際に、プローブカードの針をウェハ上の可能な限り多くの複数個のチップ領域上の電圧ストレス試験用のパッドに同時に接触させることが可能となり、バーンインの効率を向上させると共に生産能力を向上させ、バーンインの時間を短縮して製造コストを低減することができる。

【0015】なお、上記ウェハ状態の半導体装置から個々のチップに分離され、パッケージに収納されて最終製品の形態に仕上げられた集積回路装置についてみれば、そのチップ上には動作電源供給用の電源パッド以外の電圧ストレス試験用のパッドとして、同じ機能のパッドが複数個設けられ、この複数個のパッドはチップの一辺部と他の領域部とに分散して配置されていることになる。

【0016】また、前記各チップ領域の一方の辺に配列されたパッド群と他方の辺に配列されたパッド群とは、図1に示したように、同じ順序で配列されると共に互いに対応するパッド同士が向き合うように配列する必然性はない。

【0017】図2は、第2実施例に係るウェハ状態の半導体装置の一部を示しており、各チップ領域10上の互に対応するパッド同士(11a'、11a")、(11b'、11b")を配列方向にずらすことにより、前記2列のチップ領域群における電圧ストレス試験用の集中しているパッド群に対してプローブカード12の同じ一辺側から同方向に突設された針13…を同時に接触させる際、隣り合う針同士が接触するおそれが少なくなるという利点が得られる。

【0018】図3は、第3実施例に係るウェハ状態の半導体装置の一部を示しており、各チップ領域10上の互に対応するパッド同士(11a'、11a")、(11b'、11b")の配列順序を異ならせる(ここでは、配列順序を逆にしている)ことにより、プローブカード12の前記2辺から突設する針数を増やすと共に残りの向い合う2辺からも針13…を突設させ、この針13…をウェハ上の前記16個のチップ領域10…群に対して列方向の両側の各列4個のチップ領域10…群にも同時に接触させることが容易になる。これにより、さらに多く(合計32個)のチップ領域上の電圧ストレス試験用のパッド群にプローブカードの針を同時に接触させて各チップ領域に電圧ストレスを印加することが可能になる。

【0019】また、パッケージへの収納に先立ってボンディングパッドにプローブカードの針が接触した回数が多いほど、ワイヤーボンディングの歩留り、ひいてはアセンブリの歩留りが悪くなるが、各チップ領域における電圧ストレス試験用のパッド群をダイソートとかアセンブリに兼用する場合には、バーンイン時にプローブカード針が接触しなかった方のパッド群をダイソートとかアセンブリに使用するようにすればよい。これにより、バーンイン時にプローブカード針が接触しなかった方のパッドに対するプローブカード針の接触回数がバーンイン分だけ従来よりも減り、このパッドはプローブカード針の接触による傷が少なく済むので、アセンブリの歩留りを向上させることが可能になる。

【0020】また、各チップ領域における電圧ストレス試験用のパッド群をアセンブリに兼用する場合には、アセンブリ時のパッケージ形状(例えばZIP、SOJ)により決まっている外部端子(ピン)の配置に依存せずにパッドを配置することが可能になる。従って、1個のチップあるいは1個のマスクセットで複数種のパッケージに収納させようとする場合に、各パッケージの端子(ピン)配置に対応し易いようにパッドを配置することが可能になるので、パッケージのリードのレイアウトに無理な工夫をこらす必要もなくなり、この点からもアセンブリの歩留りを向上させることができる。

【0021】また、前記第1実施例および第2実施例は、電圧ストレス試験用のパッドの配置として、プローブカードの向い合う2辺から突設された針をウェハ上の

隣り合う4列のチップ領域群に同時に接触させることが容易になるように工夫した例を示したが、さらに、電圧ストレス試験用のパッドをチップ領域の四辺に分散して配置すると共にプローブカードの残りの向い合う2辺からも針を突設させることにより、この針をウェハ上の前記16個のチップ領域群に対して列方向に隣り合う各2個のチップ領域群に同時に接触させることが可能になる。これにより、さらに多くのチップ領域上の電圧ストレス試験用のパッド群にプローブカードの針を同時に接触させて各チップ領域に電圧ストレスを印加することが可能になる。

【0022】また、ウェーハ状態でのバーンインの多数個取りを考慮すると、顕微鏡の視野に入らないチップでも電圧ストレス試験用のパッドに対してプローブカード針の接触が簡単かつ確実に行われるようにするために、ダイソートおよびアセンブリに使用されるボンディングパッド(入力容量の規格により、むやみに大きく形成できないことが多い。)よりも電圧ストレス試験用のパッドを大きく形成することも可能である。

【0023】また、上記各実施例は、電圧ストレス試験用のパッドとして同じ機能のパッドを複数個設けた場合を示したが、電圧ストレス試験用のパッド群を集積回路チップ領域の一辺部に集中して配置し、ウェハ上の集積回路チップ領域配列における隣り合う2行または2列を1組とする集積回路チップ領域の互いに近接する各一辺部に前記パッド群を集中して配置した場合(例えば図1中のプローブカード針13…が接触していない方の電圧ストレス試験用のパッド群が存在しない場合)でも、上記各実施例に準じた効果が得られる。

【0024】また、上記各実施例において、ストレス試験用の端子は、ボンディングパッドに限らず、ウェハ状態でのバーンインに際して使用されるテスターのプローブカードの接触端子(材質として例えば導電性ゴムを用いたものでもよい。)に接触可能なものであればよく、例えばTAB(tape Automated Bonding)技術で用いられるパンプなどでもよい。

【0025】また、上記各実施例は、電圧ストレス試験用のパッドについて工夫した点を述べたが、ダイソートに際して使用されるパッドについても上記と同様に工夫することにより上記各実施例に準じた効果が得られる。

【0026】なお、チップ上に電源パッドについて複数個のボンディングパッドを設ける技術は、例えば文献; IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, NO. 5, OCTOBER 1988 pp. 1142' A20-ns 128-kbit*4 High-Speed DRAM with 330-Mbit/s Data Rate'に記載されている。ここでは、4個の電源(Vcc)パッドと4個の接地(Vss)パッドを設ける技術が示されており、この技術の目的は、高速動作に伴う電

7

源電位 (V_{cc} 、 V_{ss}) のノイズを低減することであり、本発明の趣旨とは全く異なる。

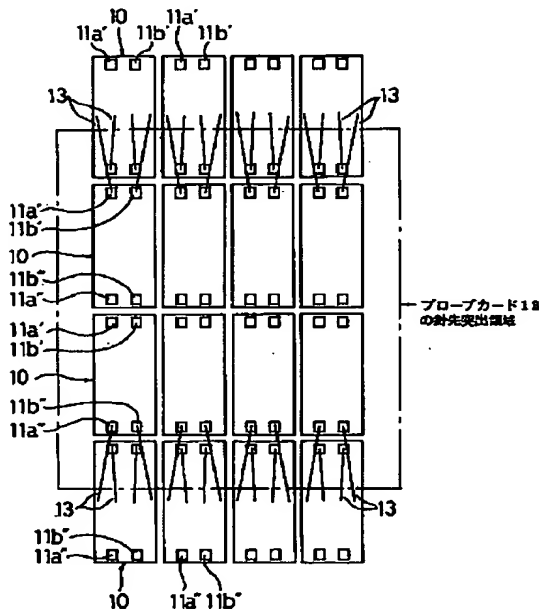
【0027】

【発明の効果】 上述したように本発明の半導体装置によれば、ウェハ状態でプローブカードとプローバとを用いてバーンインする際に、プローブカードの針をウェハ上の可能な限り多くのチップ領域に対して同時に電圧ストレス試験用のパッドに接触させることが可能となり、バーンインの効率を向上させると共に生産能力を向上させ、バーンインの時間を短縮して製造コストを低減することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例に係る半導体装置の一部の領域におけるチップ領域上の電圧ストレス試験用のパッドにウェハ状態でバーンイン時にプローブカードの針が接触している様子を示す図。

【図1】



8

【図2】 本発明の第2実施例に係る半導体装置の一部の領域におけるチップ領域上の電圧ストレス試験用のパッドにウェハ状態でバーンイン時にプローブカードの針が接触している様子を示す図。

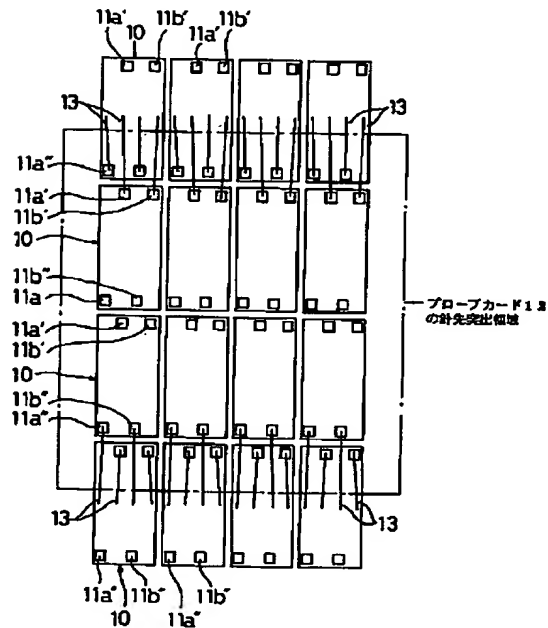
【図3】 本発明の第3実施例に係る半導体装置の一部の領域におけるチップ領域上の電圧ストレス試験用のパッドにウェハ状態でバーンイン時にプローブカードの針が接触している様子を示す図。

【図4】 現在のプローブカードを用いてウェハ状態でバーンインする時に各チップ領域の電圧ストレス試験用のパッドにプローブカードの針が接触している様子を示す図。

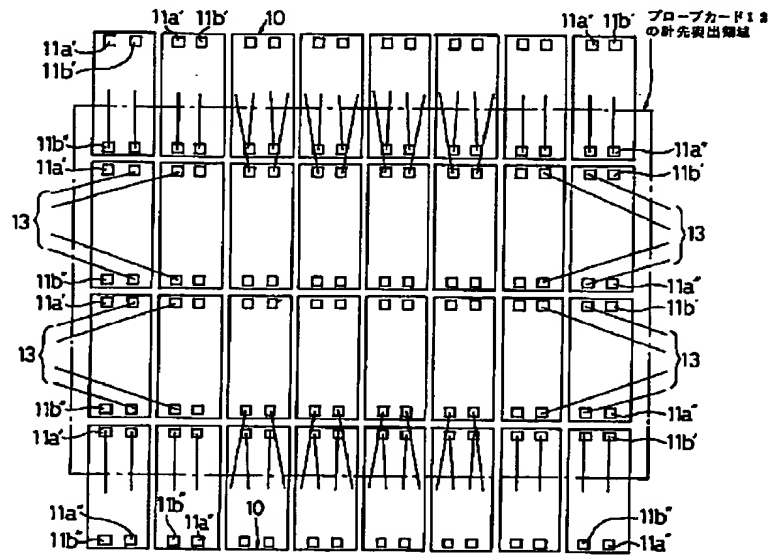
【符号の説明】

10…チップ領域、11a'、11a''、11b'、11b''…電圧ストレス試験用のパッド、12…プローブカード、13…針。

【図2】



【図3】



【図4】

